

**LIQUID CRYSTAL LIGHT VALVE AND PROJECTION TYPE LIQUID CRYSTAL DISPLAY FORMED BY USING THE SAME**

Patent Number: JP8328034  
Publication date: 1996-12-13  
Inventor(s): SATO HIDEO; HIROTA SHOICHI; TAKEMOTO KAYAO; MATSUMOTO KATSUMI  
Applicant(s): HITACHI LTD; HITACHI DEVICE ENG CO LTD  
Requested Patent: ☐ JP8328034  
Application Number: JP19950131619 19950530  
Priority Number(s):  
IPC Classification: G02F1/136 ; G02F1/13  
EC Classification:  
Equivalents:

**Abstract**

**PURPOSE:** To provide a liquid crystal light valve for a projection type display which has light shielding performance to withstand irradiation with several million lux and displays image with high fineness and high quality.

**CONSTITUTION:** Pixel circuit regions 101 arranged with plural switching elements 101a in a matrix form, driving circuit regions 102 arranged with driving circuit elements 102a and periphery regions are formed on the surface of a semiconductor substrate 100 and metallic layers 140, 160, 180 are disposed via insulating layers thereon. Reflection electrodes 181 to be formed as the output ends of the switching elements 101a are segmented by slits and are arranged on the metallic layer 180 of the uppermost part. Liquid crystals 200 are packed between transparent electrodes 302 which are formed on a glass substrate 302 and face the reflection electrodes 181 and the semiconductor substrate 100. Light shielding layers 163 of the pixel circuit regions 101 for shutting off the incident light from the slits 181 and light shielding layers for shutting off the irradiation of the peripheral regions and the driving circuit regions 102 are formed on the metallic layer 160.

Data supplied from the esp@cenet database - 12

| (51) Int.Cl. <sup>6</sup> | 識別記号  | 庁内整理番号 | F I           | 技術表示箇所 |
|---------------------------|-------|--------|---------------|--------|
| G 0 2 F 1/136             | 5 0 0 |        | G 0 2 F 1/136 | 5 0 0  |
| 1/13                      | 5 0 5 |        | 1/13          | 5 0 5  |

審査請求 未請求 請求項の数10 OL (全 11 頁)

(21) 出願番号 特願平7-131619

(22) 出願日 平成7年(1995)5月30日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72) 発明者 佐藤 秀夫

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 廣田 昇一

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 弁理士 高橋 明夫 (外1名)

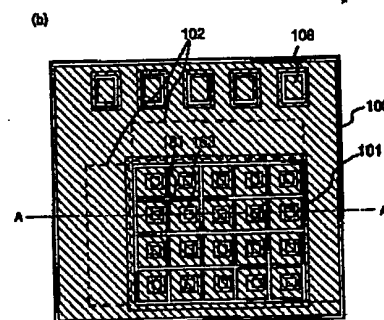
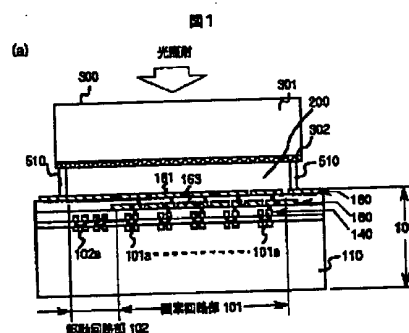
最終頁に続く

(54) 【発明の名称】 液晶ライトバルブ及びそれを用いた投射型液晶ディスプレイ

## (57) 【要約】

【目的】数百万ルクスの照射に耐える遮光性能をもち、高精細で高品質の画像を表示する投射型ディスプレイ用液晶ライトバルブを提供することにある。

【構成】半導体基板100の表面に、マトリクス状に複数のスイッチング素子1011aを配置した画素回路領域101と、駆動回路素子102aを配置した駆動回路領域102と周辺領域を形成し、その上に絶縁層を介して金属層140、160、180を設けている。最上部の金属層180に、スイッチング素子101aの出力端となる反射電極161をスリット182で区分して配列している。ガラス基板302に形成され、反射電極181に対向する透明電極302と、半導体基板100の間に液晶200を充填している。金属層160には、スリット181からの入光を遮断する画素回路領域101の遮光層163、周辺領域や駆動回路領域102の照射を遮断する遮光層165を形成している。



## 【特許請求の範囲】

【請求項1】 一方の表面に、マトリクス状に配置される複数のスイッチング素子からなる画素回路領域と前記スイッチング素子を駆動する素子からなる駆動回路領域とそれらの周辺領域を有する半導体基板と、

前記半導体基板の前記一方の表面上に、絶縁層を介して階層的に構成され配線手段を有する複数の金属層と、最上部にあたる前記金属層をスリットで分割して形成され、前記スイッチング素子の出力端となる複数の反射電極と、

前記最上部の下層にある金属層に、前記最上部のスリットの平面空間に対して重複するように形成した第1の遮光手段と、前記金属層の少なくとも一つを前記駆動回路領域及び前記周辺領域の表面空間を覆うように形成した第2の遮光手段と、

光の照射される反対側の面に前記反射電極と対向する対向電極を有する透明な対向基板と、前記半導体基板と前記対向基板の間に液晶を充填してなる液晶ライトバルブ。

【請求項2】 請求項1において、前記第1の遮光手段は、当該金属層の前記配線手段などと競合しない平坦な場所に配置する液晶ライトバルブ。

【請求項3】 請求項2において、前記第1の遮光手段を配置する前記平坦な場所は、複数の金属層によって確保してなる液晶ライトバルブ。

【請求項4】 請求項1、2または3において、前記金属層は、少なくとも1層の上面および/または下面に、 $WSi_2$ または $MoSi_2$ などの金属シリサイド層を設けてなる液晶ライトバルブ。

【請求項5】 一方の表面に、マトリクス状に配置される複数のスイッチング素子からなる画素回路領域と前記スイッチング素子を駆動する素子からなる駆動回路領域を有する半導体基板と、

前記半導体基板の前記画素回路領域や前記駆動回路領域の周辺領域に形成され、光照射によって発生するキャリアを吸収するキャリア吸収手段と、

前記半導体基板の前記一方の表面上に、絶縁層を介して階層的に構成され配線手段を有する複数の金属層と、最上部にある前記金属層をスリットで分割して形成され、前記スイッチング素子の出力端となる複数の反射電極と、

前記最上部の下層にある少なくとも一つの金属層に、前記最上部のスリットの平面空間に対し重複するように形成した第1の遮光手段と、前記金属層の少なくとも一つを前記駆動回路領域及び前記周辺領域の表面空間を覆うように形成した第2の遮光手段と、

光の照射される反対側の面に前記反射電極と対向する対向電極を有する透明な対向基板と、前記半導体基板と前記対向基板の間に液晶を充填してなる液晶ライトバルブ。

【請求項6】 請求項5において、前記キャリア吸収手段に、給電したウェル層または拡散層を用いてなる液晶ライトバルブ。

【請求項7】 請求項1～6のいずれか1項において、前記スイッチング素子をウェルに形成し、該ウェルを前記遮光手段を有する金属層で給電してなる液晶ライトバルブ。

【請求項8】 一方の表面に、マトリクス状に配置される複数のスイッチング素子からなる画素回路領域と前記スイッチング素子を駆動する素子からなる駆動回路領域とそれらの周辺領域を有する半導体基板と、

前記半導体基板の前記一方の表面上に、絶縁層を介して階層的に構成され配線手段を有する複数の金属層と、最上部にある前記金属層で、前記画素回路領域に対応するエリアをスリットで分割して形成され、前記スイッチング素子の出力端となる複数の反射電極と、

前記最上部で前記画素回路領域の周辺領域に対応するエリアに形成される別の電極と、

前記最上部の下層の少なくとも一つの金属層に、前記最上部のスリットの平面空間に対し重複するように形成した第1の遮光手段と、前記金属層の少なくとも一つを前記駆動回路領域及び前記周辺領域の表面空間を覆うように形成した第2の遮光手段と、

光の照射される反対側の面に前記反射電極と対向する対向電極を有する透明な対向基板と、前記半導体基板と前記対向基板の間に充填される液晶と、

前記対向電極と前記別の電極を同一電圧に保つ手段と、を設けてなる液晶ライトバルブ。

【請求項9】 光源と、照射された光の反射状態を液晶画素に印加する電圧で制御する液晶ライトバルブと、映像を表示するスクリーンと、前記光源からの光を平行光にして前記液晶ライトバルブに照射するとともに、前記液晶ライトバルブからの反射光を前記スクリーンに拡大投影する光学手段を備える投射型ディスプレイ装置において、

前記液晶ライトバルブは、請求項1から請求項8のいずれか1項に記載の液晶ライトバルブを用いることを特徴とする投射型液晶ディスプレイ装置。

【請求項10】 請求項9において、前記液晶ライトバルブに照射される前記光源の明るさは約500万ルクスに及ぶことを特徴とする投射型液晶ディスプレイ装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電圧の振幅値で光の強さを制御する液晶ディスプレイに係り、特に投射型ディスプレイに好適な液晶ライトバルブに関する。

【0002】

【従来の技術】スイッチング素子と液晶を積層して光を制御するアクティブ・マトリクス方式による液晶ディスプレイ

プレイは、米国特許3,862,360号や電子通信学会技術報告(1980年)のIE80-81に開示されている。これらのディスプレイは、いずれもスイッチング素子で制御した画像を直接見る直視方式である。スイッチング素子には、単結晶シリコン基板に形成したMOS (metal oxide-semiconductor) トランジスタを用いている。

【0003】MOSTランジスタに光が照射されると、ソースとドレインを形成するPN接合部に光電流が発生する。この光電流が液晶を制御するスイッチング素子部に発生すると、液晶に印加する電圧が変化して画質を劣化させる。さらに、光電流が前記スイッチング素子やそれを制御する駆動回路部に流れると、ラッチアップと呼ばれる現象を引き起こして、電源に大電流が流れ回路動作の障害やチップの破壊が起こる。

【0004】図15に、ラッチアップ現象を説明するCMOSLSIの模式図を示す。n型基板の表面にPMOSを、pウェルの領域にNMOSを形成している。基板はn+の拡散層を介してVDD (例えば+5V) に、pウェルはp+の拡散層を介してVSS (例えばGND) にそれぞれ給電している。PMOSとNMOSTランジスタのソースは、それぞれVDD、VSSに、ゲートは共通にして入力端子 $V_{in}$ に、ドレインも共通にして出力端子 $V_{out}$ に接続して、インバータ回路を構成している。

【0005】このCMOSLSIでは、寄生のバイポーラトランジスタの $Tr1$ 、 $Tr2$ と、寄生の抵抗 $R1 \sim R4$ ができる。 $Tr1$ はNMOSのソースをエミッタ、pウェルをベース、基板をコレクタにしたnpnトランジスタであり、 $Tr2$ はPMOSのソースをエミッタ、基板をベース、pウェルをコレクタにしたpnpトランジスタである。また、 $R1$ 、 $R2$ はpウェル、 $R3$ 、 $R4$ は基板の体積抵抗によって形成される抵抗である。

【0006】寄生のバイポーラトランジスタ $Tr1$ 、 $Tr2$ は、図示のようにサイリスタ構造となる。寄生抵抗 $R1$ または $R4$ に流れるトリガー電流 $I_p$ で、その端子間電圧が増加すると、寄生のnpnまたはpnpバイポーラトランジスタがオンし、オン電流が寄生抵抗 $R1$ または $R4$ を流れて急激に増加し、VDDとVSS間に大電流が流れてラッチアップとなる。このラッチアップ現象は、回路内部の電圧が減少して回路動作を阻害したり、配線やシリコン基板を溶融してチップを破壊したりする。

【0007】ラッチアップを引き起こすトリガー電流は、電源ノイズなどの他に、MOSTランジスタの周辺的光照射が原因となる。光照射で基板内に発生した電子又はホールが、高電界の基板とpウェルのPN接合部に移動し光電流 $I_p$ となる。光電流 $I_p$ は基板のn+拡散層とpウェルのp+拡散層の間を流れ、サイリスタ構造のトリガー電流となる。

【0008】上記の電子通信学会技術報告においては、MOSTランジスタに発生する光電流を低減してラッチアップを防止するために、半導体基板のスイッチング領域で、MOSTランジスタのソース領域を光の入射領域からできるだけ遠ざける配置、発生したキャリアを再結合させるストッパ拡散層を設けるなどを記述している。

【0009】

【発明が解決しようとする課題】従来のMOSTランジスタを用いた液晶ディスプレイは直視型であり、ディスプレイパネルに必要な耐光性は、せいぜい数万ルクス程度で十分であった。しかし、投射型のディスプレイでは、制御画像をスクリーンに拡大投影するため、液晶ライトバルブに照射される光は数百万ルクスにもなる。このため、従来の遮光構造では不十分で、入射光に対し半導体基板が完全に覆われる構造が必要となっている。さらに、画像を制御するスイッチング領域に止まらず、その周辺部に配置する駆動回路部などの耐光性を高めることが必要になっている。

【0010】本発明の目的は、このような現状に鑑み、強力な照射光に対する遮光性を向上し、ラッチアップを防止できる信頼性に富んだ液晶ライトバルブを提供することにある。

【0011】本発明の他の目的は、500万ルクス程度の明るさで高品質の画像を表示する投射型の液晶ディスプレイを提供することにある。

【0012】

【課題を解決するための手段】上記本発明の目的を達成する液晶ライトバルブは、一方の表面に、マトリクス状に配置される複数のスイッチング素子からなる画素回路領域と前記スイッチング素子を駆動する素子からなる駆動回路領域とそれらの周辺領域を有する半導体基板と、前記半導体基板の前記一方の表面上に、絶縁層を介して階層的に構成され配線手段を有する複数の金属層と、最上部にあたる前記金属層をスリットで分割して形成され、前記スイッチング素子の出力端となる複数の反射電極と、前記最上部の下層にある金属層に、前記最上部のスリットの平面空間に対して重複するように形成した第1の遮光手段と、前記金属層の少なくとも一つを前記駆動回路領域及び前記周辺領域の表面空間を覆うように形成した第2の遮光手段と、光の照射される反対側の面に前記反射電極と対向する対向電極を有する透明な対向基板と、前記半導体基板と前記対向基板の間隙に液晶を充填してなる。

【0013】また、前記金属層は、少なくとも1層の上面および/または下面に、 $WSi_2$ または $MoSi_2$ などの金属シリサイド層を設けてなる。

【0014】また、前記半導体基板の前記画素回路領域や前記駆動回路領域の周辺領域に形成され、光照射によって発生するキャリアを吸収するキャリア吸収手段を設けてなる。

5 【0015】前記最上部で前記画素回路領域の周辺領域に対応するエリアに形成される別の電極と、前記対向電極と前記別の電極を同一電圧に保つ手段を設けてなる。

【0016】

【作用】前記周辺領域に設けた遮光手段は反射電極とともに、画素回路領域、駆動回路領域及びそれらの周辺領域に照射される数百万ルクスの光あるいはその迷光を、ほぼ完全に反射または吸収する耐光性を有して、半導体基板に発生するラッチアップ現象を防止でき、回路素子の劣化破損による画質の低下を防止する効果がある。この反射/吸収の作用は、金属シリサイド層によって一層強化される。

【0017】また、前記周辺領域に設けたキャリア吸収手段は、半導体基板に達した光によって発生するキャリアを吸収できるので、駆動回路領域やその周辺領域の光電流を大幅に低減でき、上記遮光手段と組み合わせられてより耐光性を高める。

【0018】また、画素回路領域の周辺の光を反射する別の電極は、対向電極と同電位、すなわち0にされる、画面周辺部の明るさを暗くできるので、画質を向上できる。

【0019】さらに、遮光手段は複数の金属層に亘って形成できるので、半導体基板をコンパクトに構成できる。

【0020】このような液晶ライトバルブを適用することで、約500万ルクスの光源まで、高精細で明るい、高品質の画像を表示する投射型ディスプレイを提供することができる。

【0021】

【実施例】以下、本発明の実施例を図面を参照しながら詳細に説明する。

【0022】図9は、液晶ライトバルブの一般的な回路構成を示したものである。液晶ライトバルブは画素回路1、サンプル回路2、水平走査回路3、垂直走査回路4、ANDゲート5で構成される。これら各回路は半導体基板の表面に形成される。

【0023】画素回路1は、MOSTランジスタ1aと保持容量1bを水平方向にM個、垂直方向にN個をそれぞれ配列している。MOSTランジスタ1aのゲート電極には、ANDゲート5からの走査信号Vg1~VgN、ドレイン電極にはサンプル回路2からの輝度信号Vd1~VdM、ソース電極には保持容量1bの一端と液晶1cが接続される。保持容量1bの他端は、遮光層を介して基板電圧を給電する電圧VSSに接続している。液晶1cは、画素回路1と対向基板の間に実装される液晶素子の等価容量である。

【0024】水平走査回路3は、クロック信号CLKとスタート信号STAを入力して、M相の多相信号PH1~PHMを出力する。サンプル回路2はMOSスイッチで構成し、そのゲート電極は前記出力信号PH1からP

HMと、ドレイン電極は極性の異なる映像信号VI1又はVI2と接続している。MOSスイッチのソース電極から、輝度信号Vd1からVdMを出力する。

【0025】垂直走査回路4は、クロック信号CKVとスタート信号FSTを入力して、N相の多相信号PV1~PVNを出力している。ANDゲート5は、多相信号PV1~PVNと制御信号CNTを入力して、走査信号Vg1~VgNを出力する。

【0026】図10に、液晶ライトバルブの動作を説明するタイミングチャートを示す。垂直走査回路4のスタート信号FSTは表示する映像のフレーム先頭、クロック信号CKVは走査線の切り替えタイミングを示している。垂直走査回路7は、クロック信号CKVの立ち上がるタイミングでスタート信号FSTを取り込み、多相信号PV1~PVNを出力する。ANDゲート5は、多相信号PV1~PVNと制御信号CNTを入力して、画素回路1の走査信号Vg1~VgNを出力する。1ライン毎に走査する順次走査のときは、CNTを"H"にすることで、走査信号Vg1~VgNを多相信号PV1~PVNに等しく、マトリクス状に配置した画素回路1を垂直方向に順次選択している。映像信号VI1、VI2は、対向電極の電圧COMを基準に変化する信号で、その極性は互いに逆相で、フレーム毎に反転している。

【0027】水平走査回路3は垂直走査回路4と同様に、前記クロック信号CLKの立ち上がりのタイミングで、走査線の先頭を示すスタート信号STAを取り込み、多相信号PH1~PHMを出力する。サンプル回路2は、映像信号VI1、VI2を相信号PH1~PHMのタイミングで順にサンプリングし、輝度信号Vd1~VdMを出力する。輝度信号Vd1~VdMは、マトリクス状に配置された画素回路1に列毎に入力される。このとき、走査信号Vg1~VgNで選択された行の画素回路1のMOSTランジスタだけがオン状態となるので、選択された行の画素回路の保持容量1bに輝度信号Vd1~VdMが書き込まれ、ホールドされる。保持容量1bにホールドした電圧は液晶1cに印加されるので、液晶ライトバルブは映像信号VI1、VI2に応じた映像を表示する。

【0028】図11に、液晶ライトバルブの水平、垂直走査回路の構成の一例を示す。同図で、括弧で括らない記号を用いる場合は水平操作回路、括弧内の記号を用いる場合は垂直操作回路を表す。本回路は、Dタイプのフリップ・フロップFF、インバータINV、レベル変換回路LSから構成されている。フリップ・フロップFFを直列に接続することでシフトレジスタを構成し、水平走査回路はM段、垂直走査回路はN段となる。

【0029】レベル変換回路LSは、ソースをVDDに接続した2個のPMOSTランジスタMP1、MP2と、ソースをVSSに接続した2個のNMOSTランジスタMN1、MN2で構成し、フリップ・フロップFF

の出力はMP1のゲートに接続するとともに、インバータINVで逆相にしてMP2のゲートに接続している。MN1とMN2のゲートは互いに接続するとともに、MN1とMP1のドレインにも接続する。さらに、MN2とMP2のドレインを互いに接続し、この接続点を走査回路の出力PH(PV)としている。

【0030】この構成によって、FFの出力が“H”のとき、MP1とMN2がオフ、MP2がオンとなり、出力PH(PV)はVDDとなる。一方、FFの出力が“L(=GND)”のとき、MP1とMN2はオン、MP2はオフとなり、出力PH(PV)はVSSとなる。このように、レベル変換回路LSは0-VDDの信号をVSS-VDDの信号に変換する。なお、レベル変換回路LSはVDD(+5V)-VSS(-15V)の電源で動作する高耐圧CMOSトランジスタで構成し、FFとINVはVDD(+5V)-0の電源で動作する低耐圧CMOSトランジスタで構成している。

【0031】図1は、本発明の一実施例による液晶ライトバルブの構造を示し、同図(a)は平面図A-A線の断面図、同図(b)は光照射方向からみた半導体基板の平面図である。

【0032】本実施例の液晶ライトバルブは、画素回路や駆動回路を形成した半導体基板100と、透明なガラス基板301の表面にITO(Indium-tin-oxide)などの透明導電材料からなる対向電極302を形成した対向基板300と、両者の間に液晶200を充填し、基板100と基板300を接着するためのシール材510から構成されている。

【0033】半導体基板100の単結晶シリコン基板110の表面には、絶縁層を介して第1の金属層140、第2の金属層160及び第3の金属層180を形成し、エンハンスメント型NMOSトランジスタによるスイッチング素子101aを複数配列した画素回路領域101と、エンハンスメント型NMOSまたはPMOSなどの回路素子102aで構成する駆動回路領域102を配置し、さらにワイヤボンディング領域108を配置している。この駆動回路領域102にはサンプル回路2、水平走査回路3、垂直走査回路4及びAND回路5が形成される。

【0034】画素回路領域101では、光照射からシリコン基板110の表面をマスクするように、第3の金属層180に形成した画素電極181と第2の金属層160に形成した遮光層163を相互にラップして配置している。また、駆動回路領域102とその他の周辺部のシリコン基板110の表面は、第3の金属層180に形成した遮光層191を配置している。遮光層163、191は金属層にパターン形成され、入射する光を反射又は吸収して、各回路を構成する半導体素子やその周辺領域の半導体基板に到達する光を遮断する。

【0035】に、本実施例の液晶ライトバルブのディバ

イス構造を詳細に説明する。図2は、液晶ライトバルブの画素回路領域の一部を示す断面図である。一つの画素回路1は、単結晶シリコン基板110の表面にエンハンスメント型のNMOSトランジスタで構成されたMOSトランジスタ1a、MOS容量1b及び反射電極などから構成される。

【0036】半導体基板100は、一方の表面にMOSトランジスタ1aを構成するソース領域、ドレイン領域及び、保持容量1bの一方の電極領域を形成するn型シリコン基板111と、この基板111上に選択的に形成されるポリシリコン層120と、ポリシリコン層120上に形成される第1の絶縁層130と、第1の絶縁層130上に形成されるとともに絶縁層130を貫通してn型シリコン基板111の表面やポリシリコン層120にコンタクトする第1の金属層140と、第1の金属層140上に形成された第2の絶縁層150と、第2の絶縁層150上に形成されるとともに絶縁層150を貫通して第1の金属層140にコンタクトする第2の金属層160と、第2の金属層160上に形成される第3の絶縁層170と、第3の絶縁層170上に形成されるとともに絶縁層170を貫通して第2の金属層160にコンタクトする第3の金属層180から構成されている。第1の金属層140、第2の金属層160および第3の金属層180は、例えばアルミニウムによって形成される。

【0037】画素回路領域101は、n型基板層111と、p型ウェル層112と、p型ウェル層112の表面に形成されたn+領域113、116、n領域114、p+領域117と、素子分離領域118から構成されている。1点鎖線で示す単位画素回路において、一對のn+領域113はそれぞれMOSトランジスタ1aのソース領域とドレイン領域となる。n領域114は保持容量1bの一方の電極となる。n+領域116とn領域114、p+領域117とp型ウェル層112は、それぞれ電氣的に接続されている。

【0038】ポリシリコン層120はn型シリコン基板111の表面に、酸化シリコン層115を介して選択的に形成されている。具体的には、MOSトランジスタ1aのゲート電極123は1対のn+領域113間のp型ウェル層112上に、保持容量1bの他方の電極124はn領域114上に形成される。保持容量1bは、n領域114とポリシリコン層124及びこれらの間に介在された酸化シリコン層115によって形成される。

【0039】第1の金属層140はスリット144によって複数個に分割され、MOSトランジスタ1aと保持容量1bとを接続する配線141、MOSトランジスタ1aのドレインの配線142、MOS容量1bの一方の電極とp型ウェル層112を給電する配線146を構成している。

【0040】配線141は第1の絶縁層130に設けたコンタクトホール131で一對のn+領域113の一方

及びポリシリコン層124に、ドレイン配線142は第1の絶縁層130に設けたコンタクトホール131で一对のn+領域113の他方に、給電配線146は第1の絶縁層130に設けたコンタクトホール131でMOS容量の一方の電極と接続されるn+領域116と、p型ウェル層112と接続されるp+領域117にコンタクトしている。

【0041】第1の金属層140の上に第2の絶縁層150を介して遮光層163及び中間電極164を形成した第2の金属層160を設け、その上に第3の絶縁層170を介して、画素電極(反射電極)181を形成した第3の金属層(配線層)180を設けている。遮光層163と中間電極164はスリット162で、画素電極同士はスリット182で互いに隔てられている。遮光層163はスルーホール152を介して配線146と接続し、p型ウェルとMOS容量の一方の電圧を給電している。配線141はスルーホール151を介して中間電極164と、さらにスルーホール171を介して画素電極181と接続し、MOSTランジスタ1aのソース電圧を画素電極181に出力している。

【0042】このように構成される液晶ライトバルブは、ガラス基板300側から照射される強力な光を画素電極181で反射する反射型であり、この反射光の強さを液晶200の状態によって制御している。例えば、液晶200にポリマー分散型液晶を使用すると、画素電極181の出力電圧によって液晶200は散乱状態から透明状態に変化し、各画素の反射率は液晶200が透明状態のときに高く、散乱状態のときに低くなる。このように、液晶の状態変化を画素電極181の電圧によって制御することで映像を表示する。

【0043】次に、照射光の遮光について説明する。最上層の第3の金属層180で形成された反射電極181の電極間スリット182から入射する光は、第2の金属層160で形成された遮光層163で遮断される。すなわち、対向基板300側から見た場合、第3の金属層180に形成されたスリット182と第2の金属層160に形成されたスリット162は、互いにオーバーラップすることなくずれて配置されているので、対向基板300側から入射した光は第3の金属層または第2の金属層のいずれかで反射されて半導体基板110には到達しない。

【0044】以上により、対向基板300側から入射した直接光はほぼ完全に遮断できる。ところで、照射光には法線に沿った直接光以外に、電極間スリット182に斜めに入射する光や、遮光層163の非平坦な場所で散乱された光の一部が、第3の絶縁層170により反射されて迷光となり、第2の金属層のスリット164と第1の金属層のスリット144を通り抜けて半導体基板110に到達する場合がある。遮光層163の非平坦な場所は、MOSTランジスタ1a、MOS容量1b、第1の

金属層140などの平面パターンによって決まる。

【0045】本実施例では、第3の金属層180の画素間スリット182の位置を、第2の金属層160で構成する遮光層163の平坦な場所に対応して配置する。さらに、第1の金属層140と第2の金属層160の各面、第3の金属層180の下面などの少なくとも1面を、例えばタングステンシリコン(WSi)やモリブデンシリコン(MoSi)などの反射率の低い材料とアルミニウムの多層構成とする。これによって、半導体基板110に到達する迷光を大幅に低減できる。

【0046】図3に、本実施例の液晶ライトバルブの画素回路と周辺部を含む断面図を示す。画素回路領域101は、n型シリコン基板111にp型ウェル層112を作り、このなかに設けられている。画素回路領域101の周辺領域には、第2の金属層160で形成した遮光層165を設け、さらに、最上層である第3の金属層180により、電極181と電気的に分離した電極183を形成し、電極183には対向電極302と等しい電圧を供給している。これにより、画素回路の周辺領域に対向する液晶の印加電圧を0にしている。

【0047】図4に、本実施例の駆動回路とその周辺部の断面図を示す。n型シリコン基板111の表面にPMOSTランジスタ、p型ウェル層112にNMOSTランジスタをそれぞれ形成し、これらのランジスタを用いて水平走査回路3、垂直走査回路4などの駆動回路を構成している。この駆動回路とその周辺領域の上部には、対向基板300側からの入射光を遮断する遮光層166を、第2の金属層160により設けている。なお、他の金属層140または180によって遮光層を設けることもできる。

【0048】以上のように、本実施例の液晶ライトバルブにおいては、画素回路領域に照射される光は遮光層163で、画素回路領域の周辺部に照射される光は遮光層165で、駆動回路領域とその周辺部に照射される光は遮光層166で、それぞれ遮断される。これによれば、投射型ディスプレイのように強力な光が照射されても、シリコン基板への入射光は確実に遮断されてラッチアップを防止でき、素子の特性劣化や破壊を回避できる。さらに、画素回路領域の周辺部に対向する液晶の印加電圧が0になるように、画素回路周辺部の上部に電極を設けたので、この部分の明るさを暗くして画面周辺部の画質を向上できる。

【0049】次に、本発明の第二の実施例による液晶ライトバルブを説明する。図5は液晶ライトバルブの平面図、図6はB-B線の断面図である。本実施例の上述の実施例との相違は、キャリアストップ層を設けたことにある。

【0050】キャリアストップ層は、画素回路領域101と駆動回路領域102を囲むように設けている。具体的には、n型シリコン基板110の表面に設けたn+領

域191と、p型ウェル層112に設けたp+領域192からなり、n+領域191に最大電圧(VDD)を、p+領域192に最小電圧(VSS)を供給する。

【0051】これによれば、半導体基板100の周辺に照射された光で発生するキャリアは、キャリアストップ領域に引き寄せられ、n+領域191からp+領域192の方向に光電流 $I_p$ が流れる。この結果、光電流が駆動回路の素子に流れることがなく、ラッチアップを防止できる。

【0052】第二の実施例の変形例である液晶ライトバルブを、図7の平面図と図8の断面図を用いて説明する。本例では、キャリアストップ層をp型ウェル層内で実現している。具体的には、n型シリコン基板110の表面に設けたp型ウェル層193にp+領域とn領域を設け、このn領域の中にさらにn+領域を設け、p+領域とn+領域を配線148で接続している。

【0053】これによれば、半導体基板100の周辺に照射された光で発生するキャリアは、p型ウェル層193のキャリアストップ領域で光電流 $I_p$ に変換される。この結果、光電流は駆動回路の素子には流れないので、ラッチアップを防止できる。

【0054】次に、上記の各実施例に説明した液晶ライトバルブの実装構造について、図12の平面図と図13の断面図を用いて説明する。

【0055】画素回路1、水平走査回路3、垂直走査回路4などを形成した半導体基板100は、回路部を上にして導電性ペーストでセラミック基板500に接着される。半導体基板100と、これと対向して設けた対向基板300に間には液晶200を充填する。液晶200はその周辺部に設けたシール材510によってシールされ、外界の湿度などから保護される。対向基板300の表面に設けた対向電極302と、半導体基板100の最上部の金属層180に形成した電極181などの配線パターンとは、導電性ペースト530を用いて接続している。

【0056】対向基板300の信号端子550は、ワイヤボンディング520でセラミック基板上に形成した配線パターンと接続される。半導体基板100上のワイヤボンディング位置と対向基板300の表面の対向電極302の接続位置は、基板100の上辺部の1辺だけにすることで、半導体基板100の信号端子部の面積を小さくしている。

【0057】図14は、上記の液晶ライトバルブを適用した投射型ディスプレイの構成を示す模式図である。投射型ディスプレイは光源700、第1のレンズ710、ミラー720、第2のレンズ730、液晶ライトバルブ740、投射レンズ750及びスクリーン760で構成される。

【0058】光源700からの光は、第1のレンズ710でミラー720の位置に集光され、第1のレンズ73

0で平行光とされ、液晶ライトバルブ740に照射される。液晶ライトバルブ740は、照射された光の反射状態を各液晶画素に印加する電圧で制御し、液晶ライトバルブからの反射光を第2のレンズ730と投射レンズ750を介して、スクリーン760に拡大投影して画像を形成する。

【0059】なお、光源からの光束を光の3原色の3つの光束に分解し、それぞれの光束にたいして液晶ライトバルブを設け、3つの液晶ライトバルブからの反射光を再び合成、拡大投射することによりカラー表示の投射型ディスプレイを得ることができる。光の3原色への分解、3つの液晶ライトバルブからの反射光の合成は、例えばダイクロイックミラーを用いて同時に行なうことができる。

【0060】投射型ディスプレイにおいては、液晶ライトバルブに照射される光は数百万ルクスにもおよび、ラッチアップによる素子の劣化や破壊を生じて画質が低下する。しかし、本実施例によれば、液晶ライトバルブには、画像回路領域、動作回路領域及び周辺領域を形成するシリコン基板への光照射を、その斜め入射や金属配線層の散乱による迷光に対しても遮断できる遮光手段を設けているので、ラッチアップが確実に防止し、約500百万ルクスまで耐光性を向上できた。これによって、液晶ライトバルブを用いた投射型ディスプレイの実用が可能になった。

【0061】以上、単結晶シリコン基板を用いた液晶ライトバルブと、それを適用した投射型ディスプレイについて説明した。なお、本発明の液晶ライトバルブがシリコン基板の代わりに、絶縁基板上に半導体層を形成した基板や、化合物半導体基板などを用いても実現できることは言うまでもない。

#### 【0062】

【発明の効果】本発明の液晶ライトバルブによれば、画素回路領域と、駆動回路領域と、それらの周辺領域に対する光照射を遮断する遮光手段を設けているので、半導体基板の光電流を低減してラッチアップの発生を防止でき、素子の劣化や破壊による画質の低下を回避して画像の精彩度を向上する効果がある。

【0063】また、各回路を形成する複数の金属層を利用し、上層の反射電極の配線パターンで反射できない空間をマスクするように下層の金属層に遮光手段を設けるので、確実な遮光をコンパクトに実現できる効果がある。

【0064】さらに、各回路領域に対する前記遮光層とともに、前記周辺領域に光照射で発生したキャリアを吸収するキャリアストップ領域を設けたので、照射光が強い場合にも半導体基板の光電流を大幅に低減してラッチアップの発生を確実に防止できる効果がある。

【0065】本発明の投射型ディスプレイによれば、約

500百万ルクス程度の光照射に耐える液晶ライトバル



ブの適用が可能で、高輝度、高精細の拡大画面を提供できる効果がある。

【図面の簡単な説明】

【図1】本発明の第一の実施例による液晶ライトバルブの平面及び断面構造図。

【図2】第一の実施例による液晶ライトバルブの画素回路領域の断面構造図。

【図3】第一の実施例による液晶ライトバルブの画素回路と周辺領域の断面構造図。

【図4】第一の実施例による半導体基板の駆動回路領域と周辺領域の断面構造図。

【図5】本発明の第二の実施例による液晶ライトバルブの半導体基板の駆動回路領域と周辺領域の平面構造図。

【図6】第二の実施例による半導体基板の駆動回路領域と周辺領域の断面構造図。

【図7】第二の実施例の変形例による半導体基板の駆動回路領域と周辺領域の平面構造図。

【図8】第二の実施例の変形例による半導体基板の駆動回路領域と周辺領域の断面構造図。

【図9】液晶ライトバルブの回路構成図。

【図10】液晶ライトバルブ動作を示すタイムチャート。

【図11】液晶ライトバルブの走査回路図。

【図12】本実施例の液晶ライトバルブの実装構造を示す平面図。

す平面図。

【図13】本実施例の液晶ライトバルブの実装構造を示す側断面図。

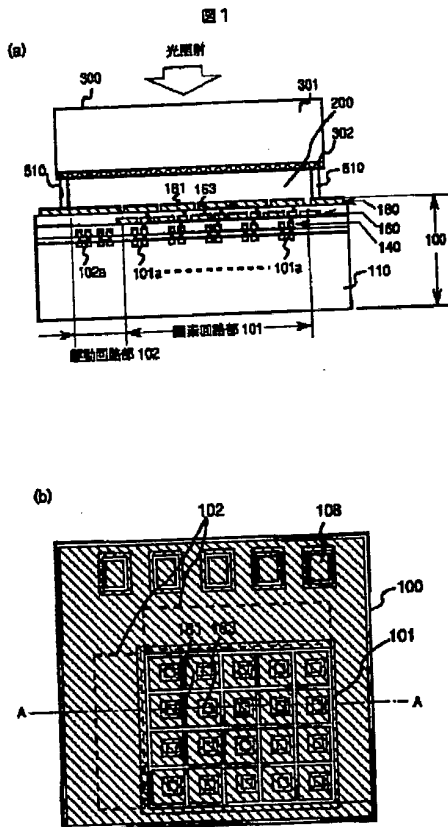
【図14】本発明の液晶ライトバルブを適用した投射型ディスプレイの構成を説明する模式図。

【図15】寄生バイポーラトランジスタのラッチアップ現象を説明する模式図。

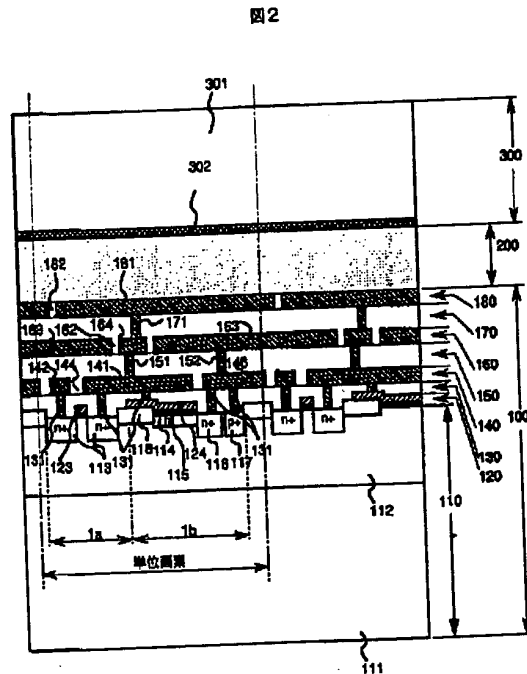
【符号の説明】

1…画素回路、1a…MOSTランジスタ、1b…保持容量、1c…液晶の容量、2…サンプル回路、3…水平走査回路、4…垂直走査回路、5…ANDゲート、10…半導体基板、101、101a…画素回路領域、102、102a…駆動回路領域、110…n型シリコン基板、112…p型ウェル層、120…ポリシリコン層、130…第1の絶縁層、131…スルーホール、140…第1の金属層、141、142、146…配線、150…第2の絶縁層、151…スルーホール、160…第2の金属層、163、165、166…遮光層、170…第3の絶縁層、171…スルーホール、180…第3の金属層、181…画素電極（反射電極）、182…スリット、183…別の電極、191、192、193…キャリアストップ部、200…液晶、300…対向基板、302…対向電極。

【図1】

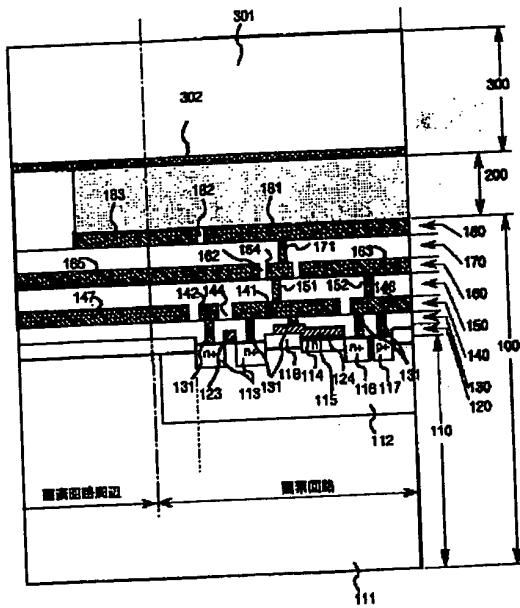


【図2】



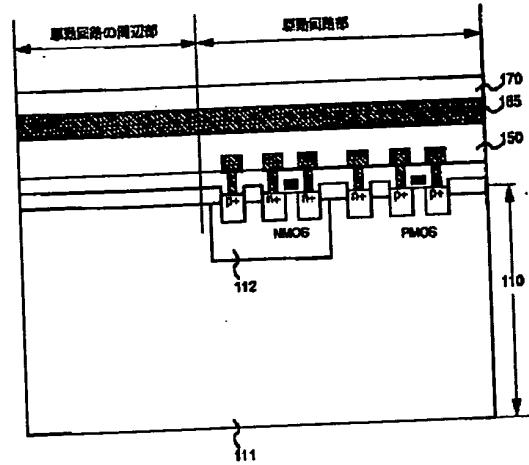
【図3】

図3



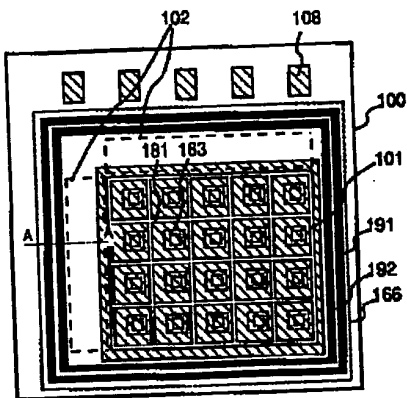
【図4】

図4



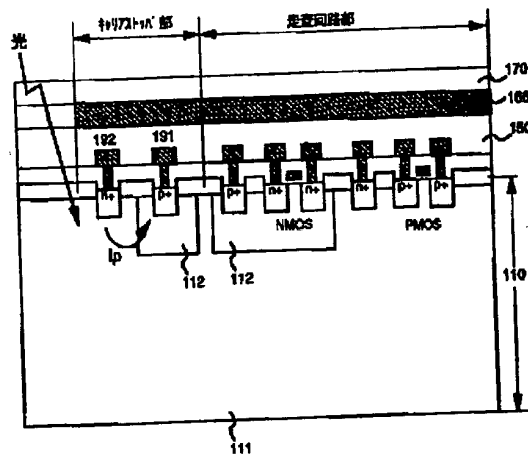
【図5】

図5



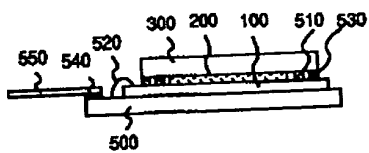
【図6】

図6



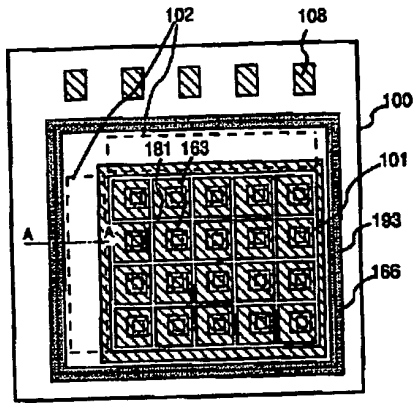
【図13】

図13



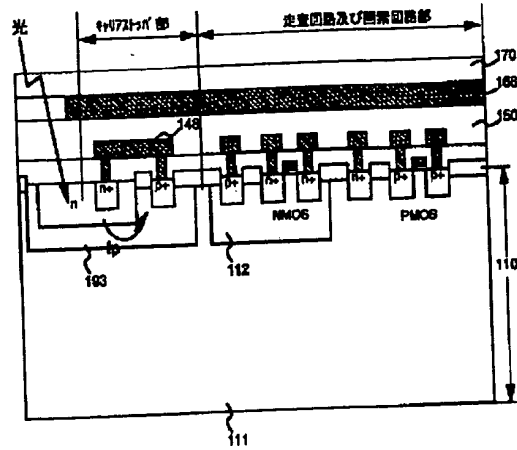
【図7】

図7



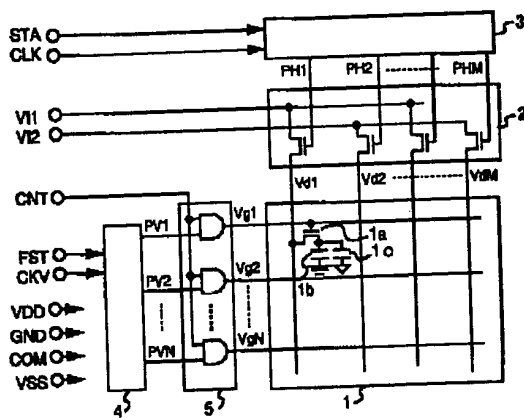
【図8】

図8



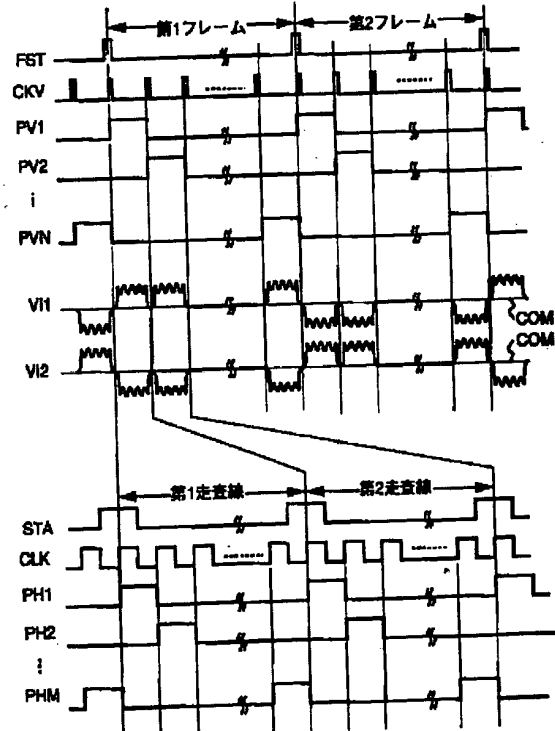
【図9】

図9

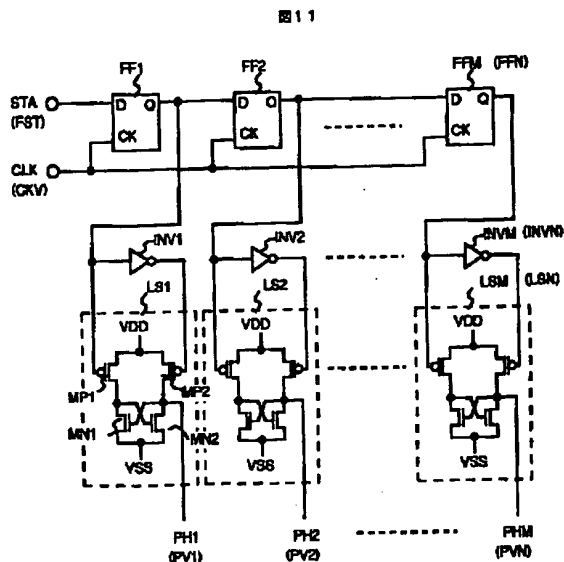


【図10】

図10

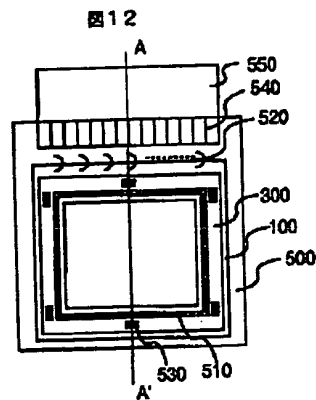


【図11】



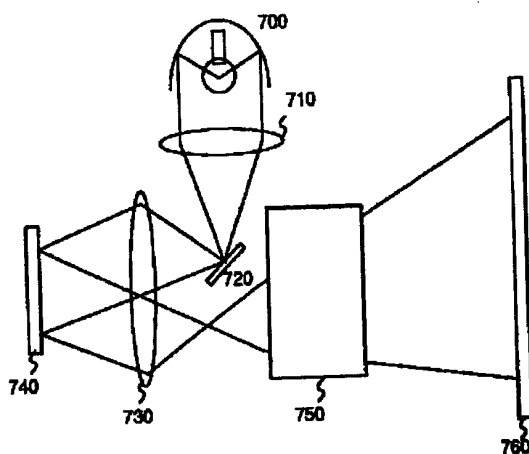
( )は水平走査回路と異なる垂直走査回路の記号。

【図12】



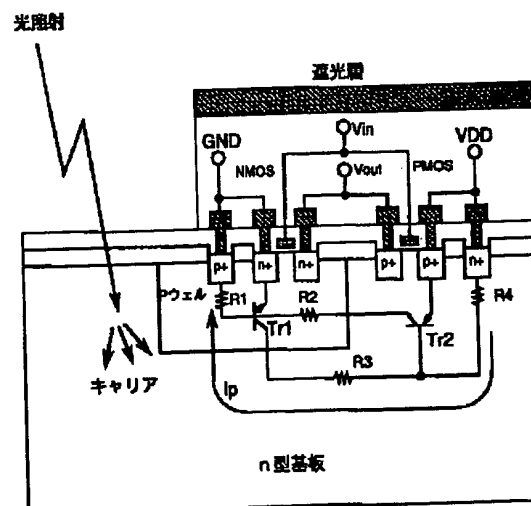
【図14】

図14



【図15】

図15



フロントページの続き

(72)発明者 竹本 一八男  
千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(72)発明者 松本 克己  
千葉県茂原市早野3681番地 日立デバイス  
エンジニアリング株式会社内